



« RISC-V » la nouvelle formation de CAP'TRONIC les 20 et 21 juin avec AC6-formation

Pour accompagner les entreprises souhaitant développer leurs propres systèmes sur puce (SoC) en utilisant cette spécification de jeu d'instructions (ISA) de processeur open source.

Paris, le 4 juin 2019 – Toujours au plus proche des besoins des entreprises et dans le cadre de sa veille technologique sur les solutions innovantes à leur apporter, CAP'TRONIC, en partenariat avec la société AC6, propose une formation de 2 jours sur la thématique « **RISC-V** ». Cette formation a pour but de comprendre l'architecture RISC-V et l'implémentation du cœur SiFive E31.

RISC-V, plébiscité par les entreprises et supporté par les fabricants

RISC-V est une spécification de jeu d'instructions (ISA) de processeur open source, définie à partir de 2010 par Andrew Waterman, à l'université de Berkeley en Californie. Elle est supervisée par la fondation à but non lucratif RISC-V, avec des implémentations librement disponibles.

Les firmes souhaitant créer leurs propres systèmes sur puce (SoC) peuvent utiliser les cœurs RISC-V sous licence BSD (Berkeley Software Distribution), MIT ou GPL disponibles sur GitHub sans redevance, les personnaliser, les connecter à leur propre crypto processeur, à des accélérateurs mathématiques, prendre en charge les entrées-sorties et autres périphériques et bien d'autres applications. Il est aussi possible d'exécuter des cœurs RISC-V sur des FPGA. Par exemple, il est possible de créer un sous-système RISC-V sur des FPGA Microsemi-Microchip (RTG4, IGLOO2 et PolarFire).

Depuis quelques années, tout un éco système s'est créé autour de cette approche système qui implique des sociétés qui souhaitent avoir un total contrôle du développement de leur circuits intégrés, que ce soit des grands groupes, des start-up ou des laboratoires de recherche. Personnalisable, testable, facile à utiliser, et surtout soutenue par une communauté de plus en plus importante et active, RISC-V est également aujourd'hui intégrée au catalogue des fabricants.

Tout comme sur un processeur ARM, on peut installer Linux, d'autres RTOS tel que FreeRTOS et l'architecture RISC-V est supportée par des chaînes de compilation comme GCC.

Les cœurs RISC-V et Armv8 ont tous les deux 31 registres généraux, sont optimisés pour un fonctionnement en temps réel, prennent en charge plusieurs niveaux de privilège, la mémoire virtuelle et la protection d'accès (PMP).

SiFive, fondée par les concepteurs de l'architecture RISC-V, en plus de proposer des SoCs à base de RISC-V, permet, grâce à une plateforme spécifique, la conception, le test et la création de ses propres systèmes intégrés ; SiFive peut même les réaliser sur demande.

La formation CAP'TRONIC pour aider les entreprises à comprendre l'architecture RISC-V.

Cette formation a pour but de comprendre l'architecture RISC-V et l'implémentation du cœur SiFive E31. Ainsi les mécanismes sophistiqués tels que la protection de la mémoire, la gestion des interruptions globales et externes seront abordés. La mise en œuvre de l'architecture RISC-V sera réalisée en utilisant l'environnement de développement de Microsemi via les outils de développements Libero SoC PolarFire et d'intégration du logiciel.

Cette formation permet de se familiariser avec le jeu d'instruction RISC-V et des différentes extensions possibles. En se basant sur des exercices, elle aborde la synthèse des CPU (CORE_RISCV de SiFive ou Rocket-Chip de lowRISC), les routines d'interruptions ou encore l'implémentation d'un Co-processeur, par exemple un cryptoprocresseur.

Le programme couvre les modules RISC-V ISA (RV32-I/E and RV64-I/E Base Integer Instruction SET, Integer Multiplication and division, Atomic Instructions, ...), l'architecture privilégiée, le Debug du RISC-V, les interfaces et cœur du SiFive E31, Libero SoC PolarFire l'outil de développement qui sera utilisé pour synthétiser le RISCV, la programmation du RISC-V sous SoftConsole et les protocoles de bus AMBA AXI4, AHB – Advanced High Performance Bus, APB – Advanced Peripheral Bus et SiFive TileLink.

<https://www.captronic.fr/FORMATION-RISC-V-2880.html>

A propos de CAP'TRONIC

Fondée par le CEA et Bpifrance, et financée par le ministère de l'Économie et des Finances, l'association JESSICA France est chargée de la mise en œuvre du **programme CAP'TRONIC**. Celui-ci a pour objectif **d'aider les PME françaises, quel que soit leur secteur d'activité, à améliorer leur compétitivité** grâce à l'intégration de solutions électroniques et de logiciel embarqué dans leurs produits et leur process de production.

Spécialistes en électronique et en logiciel embarqué, les 23 ingénieurs CAP'TRONIC sont présents sur l'ensemble de la France, **au plus proche des entreprises** et des défis qu'elles doivent relever au quotidien. Ils mettent en place, en toute neutralité, les expertises adaptées au projet, à l'entreprise et au marché, afin de parvenir rapidement à une **solution réaliste en termes de solution technologique, de délai et de coût**.

Les interventions prennent la forme de séminaires techniques et marché, de formations et de conseils. L'aide de CAP'TRONIC peut prendre ensuite la forme d'expertises cofinancées par le programme (choix technologiques, mise au point du cahier des charges...) et d'accompagnement du projet.

CAP'TRONIC mobilise de nombreux experts venant de centres de compétences publics et privés en électronique et en logiciel embarqué. Ces centres sont des laboratoires universitaires, des écoles d'ingénieurs, des sociétés d'études électroniques du secteur privé.

En 2018, CAP'TRONIC a aidé 3 300 PME, tous secteurs confondus, à conquérir de nouvelles parts de marché en faisant de l'électronique et du logiciel embarqué le levier concurrentiel indispensable à leur croissance.

www.captronic.fr

Contact Presse

Sophie Terrien – Agence [PortisEd](http://PortisEd.fr). - +33(0)6 09 17 24 79 – sophie.terrien@portis-ed.fr